

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 01232765
PUBLICATION DATE : 18-09-89

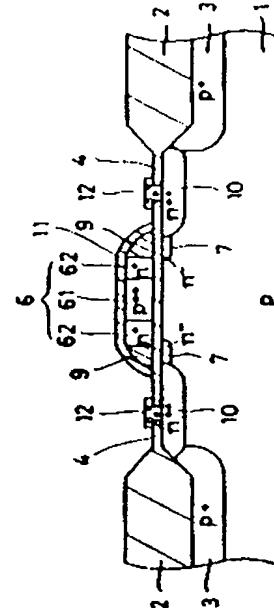
APPLICATION DATE : 12-03-88
APPLICATION NUMBER : 63057363

APPLICANT : FUJITSU LTD;

INVENTOR : IZAWA TETSUO;

INT.CL. : H01L 29/78 H01L 21/265 H01L 29/62

TITLE : INSULATED-GATE FIELD-EFFECT
TRANSISTOR



ABSTRACT : PURPOSE: To obtain a MOSFET, which is never generated a short-channel effect and is never generated the deterioration of its function due to a hot carrier effect, by a method wherein the main body part and the edge end parts of a gate electrode are respectively formed of materials having different work functions.

CONSTITUTION: A main body part 61, which is firmed at a region to correspond to a channel of a gate electrode 6, and edge end parts 62, which are formed connecting to the sidewalls of the main body part 61 between a region to correspond to the gate electrode 6 and regions to correspond to source and drain regions 10, are respectively formed of materials having different work functions. Whereupon, a movable charge is induced as more as a difference between the work functions than a movable charge, which is induced at a channel region under the lower part of the main body part, at channel regions under the lower parts of the insulating parts and a hot carrier effect is inhibited as if a low-impurity concentration layer is extendedly provided up to the lower regions of the insulating parts 62. As a result, a blemish due to the generation of hot carriers is dissolved. Furthermore, as an oblique ion-implantation method and so on become unnecessary, the diffusion depth of the drain can be formed shallowly and a short channel effect can be also prevented.

COPYRIGHT: (C)1989,JPO&Japio

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平1-232765

⑬ Int. Cl.⁴

H 01 L 29/78
21/265
29/62

識別記号

301

庁内整理番号

L-8422-5F
L-7738-5F
G-7738-5F 番査請求 未請求 請求項の数 4 (全6頁)

⑭ 公開 平成1年(1989)9月18日

⑮ 発明の名称 絶縁ゲート電界効果トランジスタ

⑯ 特願 昭63-57363

⑰ 出願 昭63(1988)3月12日

⑱ 発明者 伊澤 哲夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 寒川 誠一

明細書

1. 発明の名称

絶縁ゲート電界効果トランジスタ

2. 特許請求の範囲

[1] ゲート電極(6・27)は、チャンネルに対応する領域に形成される主体部(61・23)と、前記ゲート電極(6・27)に対応する領域とソース・ドレイン領域(10・29)と対応する領域との間に、前記主体部(61・23)の側壁に接続して形成される縁端部(62・26)とを有し、

該縁端部(62・26)を構成する材料の仕事関数は、前記主体部(61・23)を構成する材料の仕事関数と異なる値を有する

ことを特徴とする絶縁ゲート電界効果トランジスタ。

[2] 前記絶縁ゲート電界効果トランジスタは、
チャンネル型であり、

前記縁端部(62・26)を構成する材料の仕事関数は、前記主体部(61・23)を構成する材料の仕事関数より小さい

ことを特徴とする請求項1記載の絶縁ゲート電界効果トランジスタ。

[3] 前記絶縁ゲート電界効果トランジスタは、
チャンネル型であり、

前記縁端部(62・26)を構成する材料の仕事関数は、前記主体部(61・23)を構成する材料の仕事関数より大きい

ことを特徴とする請求項1記載の絶縁ゲート電界効果トランジスタ。

[4] 前記ゲート電極(6)の縁端部(62)の材料は、前記ゲート電極(6)の主体部(61)の材料と同一であり、前記主体部(61)の導電型とは反対導電型である

ことを特徴とする請求項1、2、3、または、
4記載の絶縁ゲート電界効果トランジスタ。

3. 発明の詳細な説明

(概要)

絶縁ゲート電界効果トランジスタ(MOSFE
T)の改良に關し、特に、ゲートとドレインとの
間に導くドーピングされた領域が付加されている

特開平1-232765(2)

ドレイン (LDD (Lightly Doped Drain)) を有するMOSFETのLDD内の電界強度を緩和する構造的改良に関する。

ドレイン (LDD (Lightly Doped Drain)) を有するMOSFETのLDD内の電界強度を緩和する構造的改良に関する。

短チャンネル効果を生ずることなく、またホットキャリヤによる機能劣化を生ずることのないMOSFETを提供することを目的とし、

絶縁ゲート電界効果トランジスタのゲート電極を、チャンネルに対応する領域に形成される主体部と、ゲート電極に対応する領域とソース・ドレイン領域に対応する領域との間に前記主体部の側壁に連接して形成される縁端部とをもって構成し、該縁端部を構成する材料の仕事関数を、前記主体部を構成する材料の仕事関数と異なる値とすることにより構成される。

【産業上の利用分野】

本発明は、絶縁ゲート電界効果トランジスタ (MOSFET) の改良に関する。特に、ゲートとドレインとの間に薄くドーピングされた領域が付加されているドレイン (LDD (Lightly Dop-

生するようになった。

この現象 (ホットキャリヤ効果) は、種々解析された結果、ゲート電極とドレインとのオーバーラップ量を大きくすれば、ホットキャリヤによるMOSFETのしきい値の変化が少なくなることが判明した。これは、ゲート電極とドレインとをオーバーラップさせると、このオーバーラップされた領域の薄い不純物濃度の領域 (LDD) によってソース・ドレイン間の電位分布が平均化され、ドレイン近傍における電位の勾配が緩くなり、ドレイン近傍での電界強度が緩和されるからである。

第9図参照

そこで、このゲート電極とドレインとをオーバーラップさせ LDD を積極的に形成する方法として、第9図に示すように、多結晶シリコン等よりなるゲート電極40の裏面に対して斜め方向からイオンを注入して、ゲート電極40と接する半導体基板41の表面の不純物を導入してドレイン44を形成するとともに、ゲート電極40とオーバーラップ

【従来の技術】

MOSFETのソース・ドレイン間の電位曲線は、ドレイン近傍において電位変化率が最も大きい。すなわち、ドレイン近傍において電界強度が最も高い。そこで、ドレインのゲート電極に近い領域に、不純物濃度の低い領域 (LDD層) を浅く形成すれば、ドレイン近傍の電位変化率が緩くなり、したがって、ドレイン近傍の電界強度が低下することが知られている。

しかし、素子の微細化が進み、ゲート長すなわちソース・ドレイン間の距離が短くなると、電界強度レベルが全体的に高くなり、電界強度の最も高いドレイン近傍において高いエネルギーを持ったホットキャリヤが発生し、そのホットキャリヤがゲート絶縁膜と半導体層との界面あるいはゲート絶縁膜中に入り、そのためMOSFETのしきい値が変化する現象 (ホットキャリヤ効果) が発

する LDD42を形成する方法が使用されるようになった。なお、図中、43はゲート絶縁膜である。

【発明が解決しようとする課題】

前記の斜めイオン注入法を使用して、ゲート電極とドレインとの間に十分なオーバーラップ領域 (LDD領域) を形成しようとすると、必然的に、ドレイン44の拡散深さが深くなってしまい、ソース・ドレイン間隔が短い短チャンネルトランジスタにおいて問題となる短チャンネル効果が顕著に発生し、しきい値電圧の低下等の問題が生ずるようになつた。

本発明の目的は、これらの欠点を解消することにあり、短チャンネル効果を生ずることなく、またホットキャリヤ効果による機能劣化を生ずることのないMOSFETを提供することにある。

【課題を解決するための手段】

上記の目的は、絶縁ゲート電界効果トランジスタのゲート電極 (6・27) をチャンネルに対応

を有する材料をもって構成することもできる。

(作用)

本発明に係る絶縁ゲート電界効果トランジスタにおいては、ゲート電極6・27の主体部61・23と縁端部62・26とを異なる仕事関数を有する材料をもって形成することによって、されており、絶縁部下部のチャンネル領域には主体部下部のチャンネル領域よりも前記仕事関数差分だけ多く可動電荷が誘起され、またかも、LDDが縁端部62・26の下部領域まで延在していると同様に、ホットキャリヤ効果は抑制される。換言すれば、ドレイン近傍における電位の勾配が緩やかになり、ドレイン近傍での電界強度が低下する。その結果、ホットキャリヤの発生にもとづく欠陥が解消する。しかも、従来技術で実行された斜めイオン注入法等が必要となるので、ドレインの拡散深さを浅く形成することができ、短チャンネル効果も防止できる。

する領域に形成される主体部(61・23)と、ゲート電極(6・27)に対応する領域とソース・ドレイン領域(10・29)に対応する領域との間に前記主体部(61・23)の側壁に連接して形成される縁端部(62・26)とをもって構成し、該縁端部(62・26)を構成する材料の仕事関数を、前記主体部(61・23)を構成する材料の仕事関数と異なる値とすることによって達成される。

そして、nチャンネル型MOSFETの場合は、前記縁端部(62)の材料の仕事関数を、前記主体部(61)の材料の仕事関数より小さくし、また、pチャンネル型MOSFETの場合は、前記縁端部(62)の材料の仕事関数を、前記主体部(61)の材料の仕事関数より大きくすればよい。

なお、前記縁端部(62)の材料の仕事関数は、縁端部(62)内のすべての領域で同一であっても、また同一でなくともよく、さらに縁端部(62)の材料を主体部(61)の材料と異なる材料をもって構成することも、また主体部(61)の材料と同一であるが、主体部(61)の材料とは反対の導電型

(実施例)

以下、図面を参照しつゝ、本発明の二つの実施例に係るMOSFETについて説明する。

第1回

第2回参照

p型シリコン基板1に、LOCOS用窓化シリコンマスク(国示せず)を使用してp+イオン注入をなしてチャンネルカット層3を形成し、LOCOS法を使用してフィールド絶縁膜2を形成して素子分離をなす。酸化して全面に約200Å厚の二酸化シリコン膜4を形成し、この二酸化シリコン膜4を介してしきい値電圧制御用のイオン注入をした後、気相成長法を使用して全面に多結晶シリコン層を形成し、p型不純物例えばボロンをイオン注入してp++型多結晶シリコン層5を形成する。

第3回参照

フォトリソグラフィー法を使用してp+型多結晶シリコン層6をパターニングしてp++型多結晶

シリコン層よりなるゲート電極6を形成し、このゲート電極6をマスクとして、n型不純物例えばヒ素を、打ち込みイオンエネルギー60keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ をもってイオン注入し、500~600Å厚のn+型LDD層7を形成する。

第4回参照

CVD法を使用して、リンを12%程度含んだリン珪酸ガラス(PSG)層8を全面に約200nm厚に形成する。

第5回参照

異方性エッチングをなして、p++型多結晶シリコンよりなるゲート電極6の側壁部のみにPSG層9を残留する。

第6回参照

ゲート電極6とPSG層9とをマスクとしてn型不純物例えばヒ素を、打ち込みイオンエネルギー70keV、ドーズ量 $4 \times 10^{13} \text{ cm}^{-2}$ をもってイオン注入し、浅くドーピングされたn++型ソース・ドレイン10を形成する。

特開平1-232765(4)

第1a図参照

ソース・ドレインの活性化も兼ねて、窒素ガスにおいて950°Cに加熱し、約30分間アーナーする。PSCG帯9に含まれている不純物のリンがP++型多結晶シリコンよりなるゲート電極6中に拡散し、ゲート電極6のソース・ドレインとの境界をなす縁端部62がゲート電極の主体部61とは反対導電型のn+型に転換する。

CVD法を使用して、二酸化シリコン膜等からなるゲート電極用絶縁膜11を形成し、ソース・ドレイン領域の二酸化シリコン膜4にソース・ドレイン電極形成用開口を形成した後、全面にアルミニウム膜等を形成し、リソグラフィー法を使用して、これをバターニングし、ソース・ドレイン電極12を形成する。

このようにして、ゲート電極6の主体部61の仕事関数が縁端部62の仕事関数より大きく、しかも、縁端部62の仕事関数は、縁端部内において同一ではなく、主体部61からの距離により異なる値を有するLDD型nチャンネルMOSFETが形成さ

れる。なお、図において、1はP型シリコン基板であり、2はフィールド絶縁膜であり、3はP+型チャンネルカット層であり、7はLDD層であり、10はn++ソース・ドレインである。

第2例

第7図参照

n型シリコン基板21に、LOCOS用酸化シリコンマスク(図示せず)を使用してn+イオン注入をなしてチャンネルカット層22を形成し、LOCOS法を使用してフィールド絶縁膜2を形成して素子分離をなす。酸化して全面に約200Å厚の二酸化シリコン膜4を形成し、この二酸化シリコン膜4を介してしきい値電圧制御用のイオン注入をした後、気相成長法を使用して全面に多結晶シリコン層を形成し、n型不純物例えばヒ素をイオン注入してn++型多結晶シリコン層とし、フォトリソグラフィー法を使用してバターニングし、n++型多結晶シリコン層よりなるゲート電極主体部23を形成する。次に、スパッタリング法等を使

用して全面に白金層24を形成する。

第8図参照

白金層24を異方性エッチングして、ゲート電極主体部23の側壁部のみに白金よりなるゲート電極縁端部26を残す。n++型多結晶シリコン層よりなるゲート電極主体部23と白金層よりなるゲート電極27をマスクとして、p型不純物例えばボロンをイオン注入して薄くドーピングされた500~600Å厚のp+層(LDD層)25を形成し、CVD法を使用して全面に二酸化シリコン層28を形成する。

第1b図参照

異方性エッチングをなして白金層からなるゲート電極縁端部26の側壁部に二酸化シリコン層30を残す。n++型多結晶シリコン層よりなるゲート電極主体部23と白金層からなるゲート電極縁端部26と二酸化シリコン層30とをマスクとして、p型不純物例えばガリウムをイオン注入して薄くドーピングされないn型ソース・ドレイン29を形成する。CVD法を使用して、二酸化シリコン層から

なるゲート電極用絶縁膜11を形成し、ソース・ドレイン領域の二酸化シリコン膜4にソース・ドレイン電極形成用開口を形成した後、全面にアルミニウム膜等を形成し、これをリソグラフィー法を使用してバターニングし、ソース・ドレイン電極12を形成する。白金の仕事関数はn++型多結晶シリコンの仕事関数より大きいので、ゲート電極の主体部23の仕事関数が縁端部26の仕事関数より小さく、しかも、縁端部26の仕事関数は縁端部内において同一であるpチャンネルLDD型MOSFETが形成される。

〔発明の効果〕

以上説明せるとおり、本発明に係る絶縁ゲート電界効果トランジスタにおいては、ゲート電極の主体部と縁端部とが異なる仕事関数を有する材料をもって形成されるので、ゲート電極とLDDとのオーバーラップ量が現実のオーバーラップ量よりさらに大きめに形成されたMOSFETと同一の効果が発揮され、LDD内の電界強度が緩和され

特開平1-232765(5)

る。換言すれば、LDDの効果は、ゲート電極端部の下部領域まで及ぶので、ホットキャリヤ効果は十分抑制されるにもかくわらず、LDDの役割を担う絶縁部下部の反転電荷層は、従来技術で行われるイオン注入層よりも非常に浅いので短チャンネル効果は発生しにくくなる。

その結果、一例として仕事関数の異なるゲート電極端部の長さを0.15μとした場合に、ホットキャリヤ効果が20%減少する実験結果が得られた。また、ドレインの拡散深さは浅く形成することができる、しきい値電圧を低下させる等の短チャンネル効果の発生も有効防止されることは上記のとおりである。

4. 図面の簡単な説明

第1a図は、本発明の第1実施例に係る絶縁ゲート電界効果トランジスタの断面図である。

第1b図は、本発明の第2実施例に係る絶縁ゲート電界効果トランジスタの断面図である。

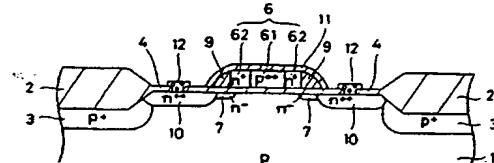
第2～6図は、本発明の第1実施例に係る絶縁ゲート電界効果トランジスタの工程図である。

- 21···n型シリコン基板、
- 22···n型チャンネルカット層、
- 23···n++型ゲート電極主体部、
- 24···白金層、
- 25···LDD層(p+層)、
- 26···ゲート電極端部(白金層)、
- 27···ゲート電極、
- 28···二酸化シリコン層、
- 29···p+型ソース・ドレイン、
- 30···二酸化シリコン帯、
- 40···ゲート電極、
- 41···半導体基板。

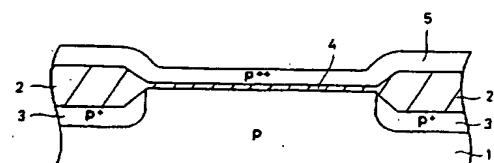
第7、8図は、本発明の第2実施例に係る絶縁ゲート電界効果トランジスタの工程図である。

第9図は、従来技術に係る斜めイオン注入の説明図である。

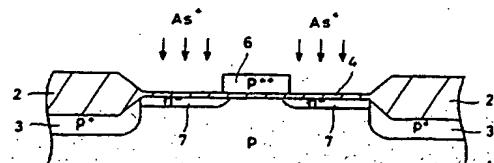
- 1···p型シリコン基板、
- 2···フィールド絶縁膜、
- 3···p+型チャンネルカット層、
- 4···二酸化シリコン膜(ゲート絶縁膜)、
- 5···p++型多結晶シリコン層、
- 6···ゲート電極、
- 61···ゲート電極主体部、
- 62···ゲート電極端部(主体部とは反対導電型領域)、
- 7···LDD層(n+層)、
- 8···PSC層、
- 9···ゲート電極の側壁に形成されたPSC帯、
- 10···n++型ソース・ドレイン、
- 11···ゲート電極用絶縁膜、
- 12···ソース・ドレイン電極、



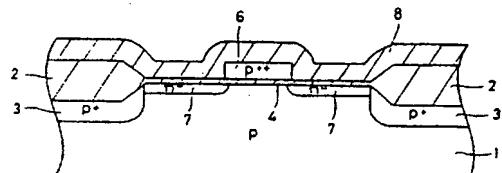
本発明
第1a図



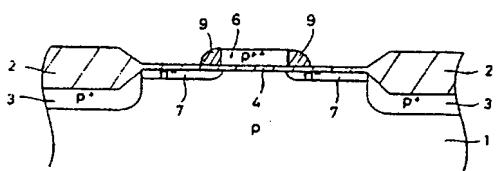
工程図
第2図



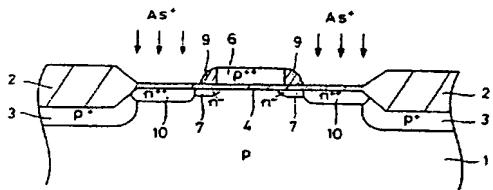
工程図
第3図



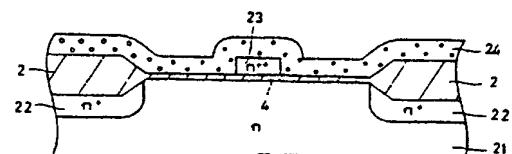
工程図
第4図



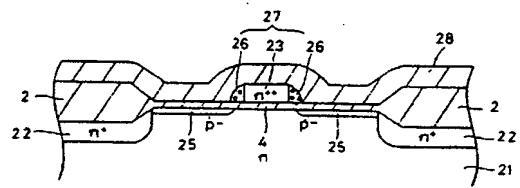
工程図
第5図



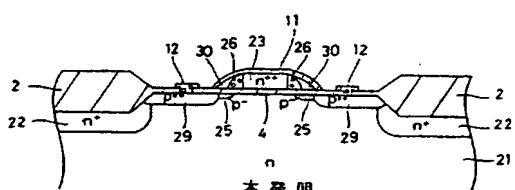
工程図
第6図



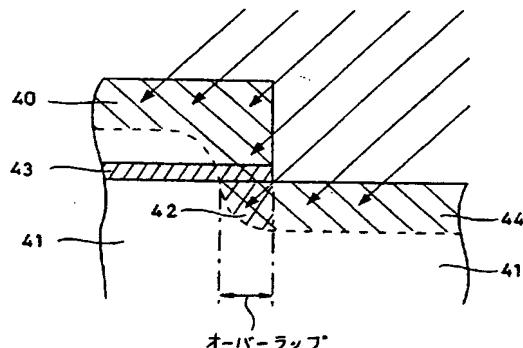
工程図
第7図



工程図
第8図



本発明
第1b図



従来技術

第9図